

DIGITAL DATA REPRODUCING DEVICE

Publication number: JP4283474 (A)

Publication date: 1992-10-08

Inventor(s): MURABAYASHI NOBORU

Applicant(s): SONY CORP

Classification:

- international: G11B20/10; G11B20/18; H04N5/92; G11B20/10; G11B20/18; H04N5/92; (IPC1-7): G11B20/10, G11B20/18, H04N5/92

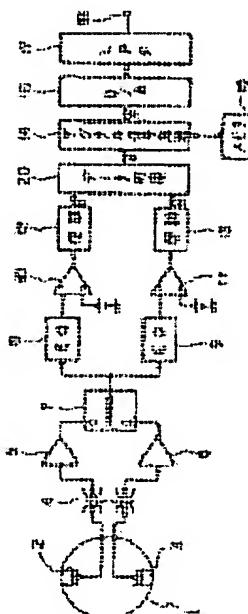
- European:

Application number: JP19910046853 19910312

Priority number(s): JP19910046853 19910312

Abstract of JP 4283474 (A)

PURPOSE: To optimize the characteristic of an equalizer at the time of reproducing magnetic-recorded digital data, and to improve the error rate of reproduction data. CONSTITUTION: The plural systems of equalizers 8 and 9 whose characteristics are changed, are prepared as the equalizers which equalize the reproduction data. Then, the syndrome arithmetic operation of the reproduction digital data of each system which are equalized by the plural equalizers 8 and 9, is operated at each bit system. Then, the reproduction digital data of the optimal system are selected at each bit system, based on this syndrome arithmetic result.



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-283474
(43)Date of publication of application : 08.10.1992

(51)Int.Cl.

G11B 20/18
G11B 20/10
H04N 5/92

(21)Application number : 03-046853

(71)Applicant : SONY CORP

(22)Date of filing : 12.03.1991

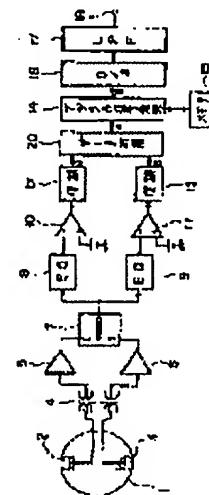
(72)Inventor : MURABAYASHI NOBORU

(54) DIGITAL DATA REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To optimize the characteristic of an equalizer at the time of reproducing magnetic-recorded digital data, and to improve the error rate of reproduction data.

CONSTITUTION: The plural systems of equalizers 8 and 9 whose characteristics are changed, are prepared as the equalizers which equalize the reproduction data. Then, the syndrome arithmetic operation of the reproduction digital data of each system which are equalized by the plural equalizers 8 and 9, is operated at each bit system. Then, the reproduction digital data of the optimal system are selected at each bit system, based on this syndrome arithmetic result.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-283474

(43)公開日 平成4年(1992)10月8日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
G 11 B 20/18	V	9074-5D		
20/10	321 A	7923-5D		
H 04 N 5/92	H	8324-5C		

審査請求 未請求 請求項の数 1 (全 8 頁)

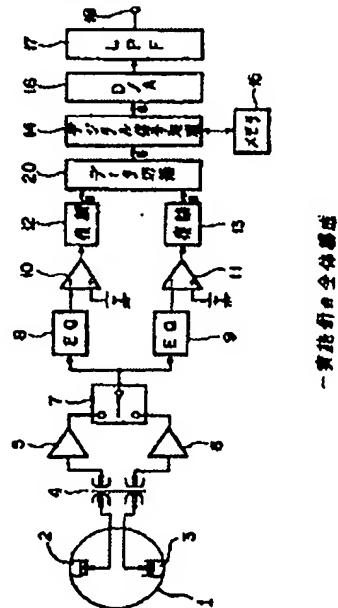
(21)出願番号	特願平3-46853	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成3年(1991)3月12日	(72)発明者	村林 昇 東京都品川区北品川6丁目7番35号 ソニーブルーバード株式会社内
		(74)代理人	弁理士 松隈 秀盛

(54)【発明の名称】 デジタルデータ再生装置

(57)【要約】

【目的】 磁気記録されたデジタルデータの再生時のイコライザの特性を最適にし、再生データのエラーレートを向上させる。

【構成】 再生データを等化するイコライザを、それぞれ特性を変えて複数系統（イコライザ8、9）用意し、この複数のイコライザ8、9により等化されたそれぞれの系統の再生デジタルデータを、それぞれビット系列毎にシンドローム演算し、このシンドローム演算結果に基づいて、ビット系列毎に最適な系統の再生デジタルデータを選択するようにした。



【特許請求の範囲】

【請求項1】 磁気テープに記録されたデジタルデータを再生するデジタルデータ再生装置において、上記磁気テープより再生したデジタルデータを等化するイコライザを、それぞれ特性を変えて複数系統用意し、該複数のイコライザにより等化されたそれぞれの系統の再生デジタルデータを、それぞれビット系列毎にシンドローム演算し、該シンドローム演算結果に基づいて、ビット系列毎に最適な系統の再生デジタルデータを選択して、出力させるようにしたデジタルデータ再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば映像信号と共に記録される音声信号をデジタルデータとして記録するVTRに適用して好適なデジタルデータ再生装置に関する。

【0002】

【従来の技術】 デジタルVTR等のデジタルデータ再生装置においては、再生データの誤り率を少なくするために、再生信号の等化をイコライザで行う必要がある。この再生等化は、符号間干渉をより少ない状態にし、エラーレートを良好にするものであるが、記録系回路の特性や記録される磁気テープの特性に大きく依存する。例えば、或る磁気テープに記録されたデジタルデータを再生した場合、図8に示すように、イコライザの特性をaとしたとき、エラーレートが最も低くなり、良好な再生が可能となるが、このaの値は磁気テープの特性や記録時の状態により変化する。従って、常に最も低いエラーレートで再生させるためには、再生を開始させたときに、エラーレート等の再生状態を検出して、最も良好な再生状態となるようにイコライザの特性を調整することが考えられる。

【0003】

【発明が解決しようとする課題】 ところが、このように自動的にイコライザの特性を調整する場合には、実際に再生させてエラーレート等が良好になるように調整するものであるので、再生開始からイコライザの特性が最適になるまでに時間がかかる不都合があった。即ち、再生開始と同時に、直ちにイコライザの特性が自動的に最適になるものではなかった。また、記録信号状態により最適な等化状態は常に変動していて、自動的な調整で例えば上述した図8に示すaにイコライザの特性を選定しても、この特性aで常に最適なエラーレートが得られるとは限らなかった。

【0004】 本発明の目的は、デジタルデータ再生装置において、イコライザの特性が常に最適になるようにすることにある。

【0005】

【課題を解決するための手段】 本発明は、例えば図1に示すように、磁気テープに記録されたデジタルデータを

再生するデジタルデータ再生装置において、磁気テープより再生したデジタルデータを等化するイコライザを、それぞれ特性を変えて複数系統（イコライザ8の系統とイコライザ9の系統）用意し、この複数のイコライザ8、9により等化されたそれぞれの系統の再生デジタルデータを、データ切換回路30内で、それぞれビット系列毎にシンドローム演算し、このシンドローム演算結果に基づいて、ビット系列毎に最適な系統の再生デジタルデータを選択して、出力させるようにしたものである。

【0006】

【作用】 このようにしたことで、再生デジタルデータの各ビット系列毎に最適な系統のイコライザが選択され、常に最適な特性のイコライザで等化されたデジタルデータが再生される。

【0007】

【実施例】 以下、本発明の一実施例を図1～図6を参照して説明する。本例においては、映像信号と時分割でデジタル音声信号の記録・再生を行うVTR装置に適用した例を示す。

【0008】

3

しないが、別の切換スイッチにより映像信号の再生を行う約180°の角範囲で再生した信号を選択して出力させ、映像信号再生系回路に供給する。

【0012】そして、切換スイッチ7が出力する再生信号を、2個のイコライザ8、9に供給する。この2個のイコライザ8、9は、それぞれ等化特性を変えてあり、イコライザ8及び9の出力を、それぞれ別のコンパレータ10及び11に供給して2値データ化し、このコンパレータ10及び11の出力を、それぞれ別の復調回路12及び13に供給する。なお、以下の説明において、イコライザ8→コンパレータ10→復調回路12の回路を第1の系統とし、イコライザ9→コンパレータ11→復調回路13の回路を第2の系統とする。

【0013】そして、両系統の復調回路12、13が出力する復調信号(8ビットデータ)を、データ切換回路20に供給する。ここで、データ切換回路20の構成を図2に示すと、第1の系統の復調回路12からの8ビットデータを、端子21を介して各ビット系列毎に別のエラー検出回路31、32…38に供給する。また、第2の系統の復調回路13からの8ビットデータを、端子22を介して各ビット系列毎に別のエラー検出回路41、42…48に供給する。

【0014】このそれぞれのエラー検出回路31～38、41～48は、シンドローム演算を行ってエラー検出を行うものである。即ち、1ブロックの各ビット系列毎に、以下に示すシンドロームS₀の演算を行う。

【0015】

【数1】 $S_0 = D_0 + D_1 + D_2 + \dots + D_{48}$

【0016】この数1において、D₀～D₄₈は1ブロック内の44シンボルの各ビット系列の値を示し、この数1の演算によりシンドロームS₀=0となるビット系列ではエラーがないと判断され、シンドロームS₀が0にならないとき、該当するビット系列にエラーが発生していると判断する。

【0017】そして、第1の系統の復調データのエラー検出結果を、エラー検出回路31～38からエラーカウンタ23に供給し、第2の系統の復調データのエラー検出結果を、エラー検出回路41～48からエラーカウンタ24に供給し、それぞれのエラーカウンタ23、24で1ブロック毎に両系統のエラー発生数(即ち8系列の内で何系列エラーが発生したか)をカウントする。

【0018】そして、両カウンタ23、24のカウントデータを、エラー数比較回路25に供給し、何れの系統の復調データの方がエラーが少ないかを検出する。そして、比較結果を、後述するエラー評価回路51～58に供給する。

【0019】さらに、第1の系統の復調データのエラー検出を行うエラー検出回路31～38のエラー検出結果と、第2の系統の復調データのエラー検出を行うエラー検出回路41～48のエラー検出結果とを、それぞれビ

4

ット系列毎にエラー評価回路51、52…58に供給する。即ち、エラー検出回路31の出力とエラー検出回路41の出力とを、エラー評価回路51に供給し、以下同様に両系統の同一ビット系列のエラー検出結果をエラー評価回路52、53…に供給する。このそれぞれのエラー評価回路51～58では、該当するビット系列で良好なデータが第1の系統の復調データと第2の系統の復調データとの何れか判断し、良好な系統の復調データを選択させる切換信号を出力する。この良好な系統の判断は、該当するビット系列の一方の系統のデータにだけエラーがある場合には、エラーがない系統のデータを選択させる。また、両系統ともにエラーがない場合と両系統ともにエラーがある場合には、エラー数比較回路25の出力に基づいて、1ブロック全体で(即ち8つのビット系列全部の内で)、エラー発生数の少ない系統が何れか判断して、このエラー発生数の少ない系統のデータを選択させる。さらに、この両系統ともにエラーがない場合と両系統ともにエラーがある場合に、1ブロック全体のエラー発生数が同じであるときには、何れの系統のデータを選択しても良いとする。但し、本例においては、このとき第2の系統を優先して出力させるようする。

【0020】ここで、このエラー評価回路51～58でのエラー評価を、図4のフローチャートを参照して説明すると、各エラー検出回路31～38、41～48に1ブロック分のデータが供給されて、このブロックのシンドローム演算ができたとき(ステップ101)、それぞれのエラー評価回路51～58で該当するビット系列のエラー発生状態が、第1の系統の復調データと第2の系統の復調データとで同じであるか否か判断する(ステップ102)。このときの判断は、各エラー検出回路31～38、41～48の出力に基づいて行われる。そして、同じでないと判断したとき(即ち一方の系統だけがエラー無しであるとき)には、第1の系統がエラー無しであるか否か判断し(ステップ103)、第1の系統がエラー無しであるとき、このビット系列では第1の系統の復調データを選択させる切換信号を出力する(ステップ104)。また、ステップ103で第1の系統がエラー無しでないと判断したとき(即ち第2の系統がエラー無しであるとき)には、このビット系列では第2の系統の復調データを選択させる切換信号を出力する(ステップ105)。さらに、ステップ102で第1の系統の復調データと第2の系統の復調データとが同じであると判断したときには、エラー数比較回路25の出力に基づいて、このブロックでの第2の系統のエラー発生数が第1の系統のエラー発生数より少ないか否か判断する(ステップ106)。このとき、両系統のエラー発生数が同じであるときは、第2の系統のエラー発生数の方が少ないと見做す。そして、第2の系統のエラー発生数の方が少ないと判断したときには、このビット系列では第2の系統の復調データを選択させる切換信号を出力する(ステップ107)。

ップ105)。また、第1の系統のエラー発生数の方が少ないと判断したときには、このビット系列では第1の系統の復調データを選択させる切換信号を出力する(ステップ104)。

【0021】そして、端子21に得られる第1の系統の復調回路12からの8ビットデータを、それぞれ1ブロック分入力データを遅延させる遅延回路61、62…68を介して、切換スイッチ81、82…88の一方の固定接点側に供給する。また、端子22に得られる第2の系統の復調回路13からの8ビットデータを、それぞれ1ブロック分入力データを遅延させる遅延回路71、72…78を介して、切換スイッチ81、82…88の他方の固定接点側に供給する。そして、このビット系列毎の切換スイッチ81～88の可動接点の切換えを、対応したビット系列のエラー評価回路51～58が出力する切換信号により行う。そして、各ビット系列毎の切換スイッチ81～88の可動接点に得られるデータを、各ビット系列毎の出力端子91、92…98に供給する。

【0022】ここで再び図1の説明に戻ると、この出力端子91～98に得られる8ビットデータを、良好な再生データとしてデジタル信号処理回路14に供給し、このデジタル信号処理回路14で時間軸の伸長、パリティチェックによるエラー訂正、ディンターリープ等の各種デジタル処理を行う。この場合、デジタル信号処理回路14にメモリ15が接続しており、このメモリ15を使用して時間軸の伸長等の処理を行う。

【0023】そして、デジタル信号処理回路14で処理されたデジタルデータを、デジタル/アナログ変換器16に供給し、このデジタル/アナログ変換器16でアナログ信号に変換し、このアナログ信号をローパスフィルタ17により平均化してアナログ音声信号とし、このアナログ音声信号を音声信号出力端子18に供給する。

【0024】次に、このようにして再生されるデジタル音声信号の再生処理を、データ切換回路20の動作を中心にして説明する。

【0025】図5は、データ切換回路20で切換えられるデータの一例を示す図で、この図5は、所定の4ブロックのデータを示し、A1～A8は第1の系統の回路で処理された各ブロックを構成する8ビットデータの各ビット系列を一括して示し、B1～B8は第2の系統の回路で処理された各ブロックを構成する8ビットデータの各ビット系列を一括して示す。そして、それぞれのビット系列に付加された○印は、このビット系列のシンドローム演算で、エラーがないことを示し、×印は、このビット系列のシンドローム演算で、エラーがあることを示す。そして、図4のフローチャートに示す手順で選択されて切換えられた出力データは、シンドローム演算の処理時間のために1ブロック遅延されて出力される。

【0026】そして、この図5に示した最初のブロック

では、第1の系統で処理されたデータA1～A8の内、データA1、A2、A3、A7にエラーがあり、第2の系統で処理されたデータB1～B8の内、データB2、B5にエラーがある。このとき、第1ビット系列ではデータA1にエラーがありデータB1にエラーがないので、エラーのないデータB1が選択される。同様に、第3ビット系列、第5ビット系列、第7ビット系列でも、データA3、B5、A7にエラーがあり、データB3、A5、B7にエラーがないので、このエラーのないデータB3、A5、B7が選択される。また、他のビット系列では、両系統でエラーの発生状態が同じ(両系統ともにエラー無し又はエラー有り)であるので、各系統の1ブロック内のエラー発生数を判断する。この場合には、第1の系統で処理されたデータには、4つのビット系列にエラーがあり、第2の系統で処理されたデータには、2つのビット系列にエラーがあるので、第2の系統で処理されたデータの方がエラーの発生が少なく、良好なデータであると判断する。従って、エラー状態が同じビット系列では、第2の系統で処理されたデータ(即ちB2、B4、B6、B8)が選択される。

【0027】以下、同様にして以後のブロックでも、ビット系列毎に良好なデータ処理をした系統が判断されて、順次出力される。なお、本例では各ブロック内のエラー発生数が同じで、且つ両系統の所定ビット系列で、共にエラーが発生した場合、又は共にエラーが発生しない場合には、このビット系列では第2の系統で処理されたデータを優先して選択するようにしてある(図5の2番目、3番目のブロックの場合)。

【0028】このようにして選択された再生データをデジタル信号処理回路20に供給することで、このデジタル信号処理回路20に供給される再生データは全てのビット系列でエラーレートが最低のものになり、エラーの少ないデジタル音声信号となり、良好な音声信号の再生ができる。即ち、本例の回路の等化特性を図6に示すと、イコライザ8の特性をx、イコライザ9の特性をyとすると、データ切換回路20で両イコライザ8、9の出力の良好な方を切換えることで、両イコライザ8、9の特性を合成した破線で示す特性が等価的に得られる。従って、再生データのビット配列の違い等により、同一の磁気テープから再生したデータであっても最適な等化特性が部分的に違う場合にも、常に最適な等化特性で等化されたデータが得られ、全てのビット系列でエラーレートが最低のものになる。

【0029】この場合、シンドローム演算による良好なデータの判断は、データ再生開始直後から全ての再生データに対して行われるので、データ再生開始から等化特性が最適になるまでに時間がかかることがなく、常時最低のエラーレートで再生ができる。

【0030】また、再生データの全てのビット系列でエラーレートが最低になることで、デジタル信号処理回路

20内でエラーデータの訂正や欠落データの補間等の修正処理が行われることが少なくなり、デジタル信号処理回路20内のエラー訂正回路等の負担が少なくなる。

【0031】なお、上述各実施例においては、イコライザとその周辺の回路を第1の系統と第2の系統との2系統用意して、この2系統で良好な方に切換えるようにしたが、より多くのイコライザを用意して切換えるようにしても良い。即ち、例えば図7に示すように、それぞれ等化特性が少しずつ異なる6個のイコライザを用意し、この6個のイコライザの出力をシンドローム演算により切換えるようにしても良い。このようにすることで、図7に破線で示すように、等化特性が非常に広い範囲で良好になり、再生データのエラーレートを常に最低に保つことができる。

【0032】また、上述実施例に示した数1のシンドローム演算によるエラー検出は、一例を示したもので、他の演算によりエラー検出を行うようにしても良い。この場合、上述実施例では1ブロック毎にシンドローム演算を行い、この1ブロック周期で各ビット系列毎に切換えるようにしたが、より短い周期でシンドローム演算が出来れば、短い周期でイコライザを切換えるようにしても良い。

【0033】さらに、上述実施例においては、VTR装置のデジタル音声信号再生回路に適用した例について説明したが、他の各種デジタル磁気再生装置にも適用できる。

【0034】

【発明の効果】本発明によると、再生デジタルデータの各ビット系列毎に最適な特性のイコライザが選択され、

常に最適な特性のイコライザで等化されたデジタルデータが再生され、再生データの全てのビット系列で、エラーレートを常時最低のレベルに保つことができる。

【図面の簡単な説明】

【図1】本発明の一実施例による再生系回路を示す構成図である。

【図2】図1の要部を示す構成図である。

【図3】一実施例のデータ構成を示す説明図である。

【図4】一実施例の説明に供するフローチャート図である。

【図5】一実施例のデータ切換例を示す説明図である。

【図6】一実施例によるイコライザの特性を示す特性図である。

【図7】他の実施例によるイコライザの特性を示す特性図である。

【図8】従来のイコライザ特性を示す特性図である。

【符号の説明】

2, 3 磁気ヘッド

8, 9 イコライザ

20 12, 13 複調回路

14 デジタル信号処理回路

16 デジタル／アナログ変換器

20 データ切換回路

23, 24 エラーカウンタ

25 エラーアンプ回路

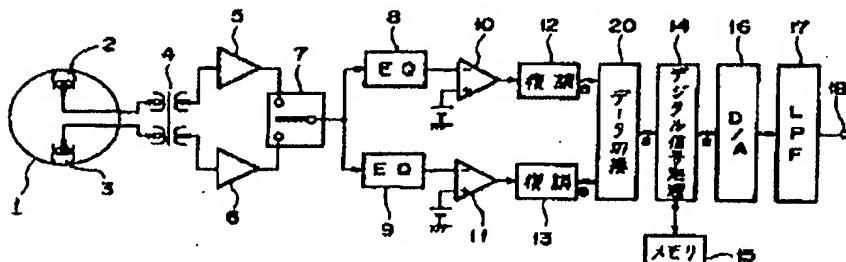
31～38, 41～48 エラー検出回路

51～58 エラー評価回路

61～68, 71～78 遅延回路

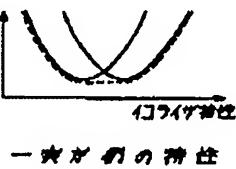
81～88 切換スイッチ

【図1】



一実施例の全体構成

【図6】

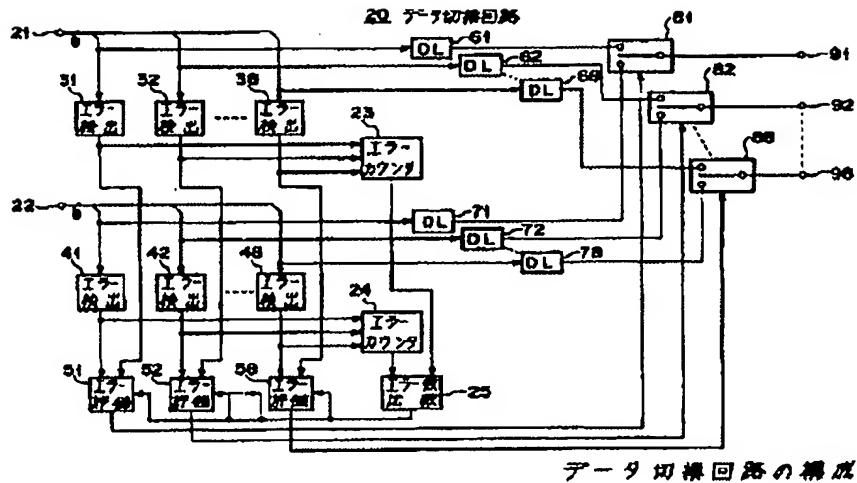


【図7】

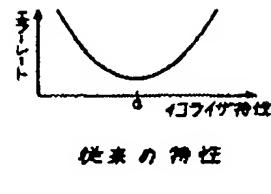


他の実施例の特性

【図2】



【図8】

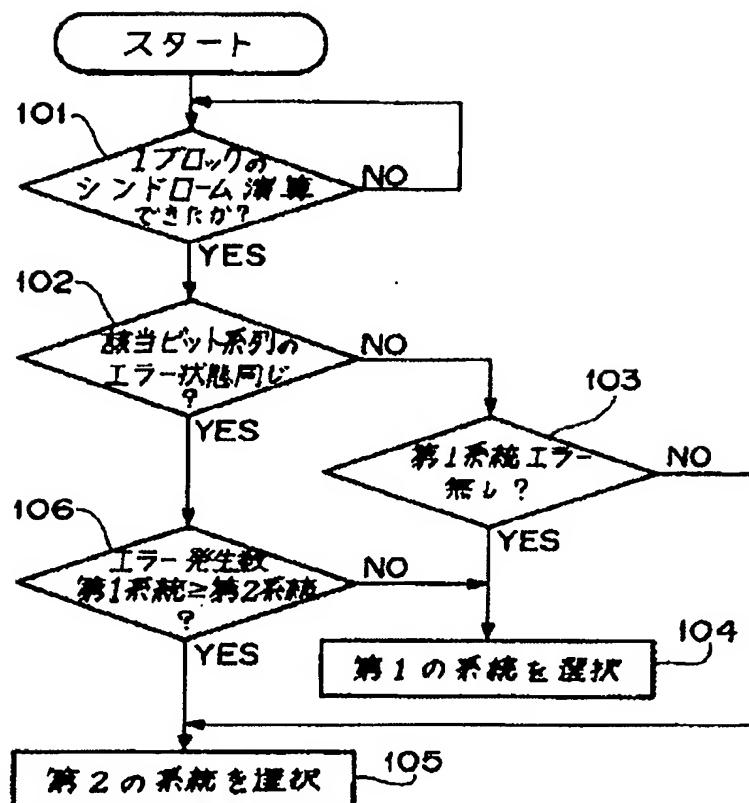


【図3】

月相	プロトクルアドレス	I D	パリティ	データ (又はC2パリティ)	C1/C9パリティ
シンボル	シンボル	シンボル	シンボル	36シンボル	4シンボル

1プロトクルのデータ構成

【図4】



データ選択時のフローチャート

【図5】

